PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013638
(43)Date of publication of application : 22.01.1993

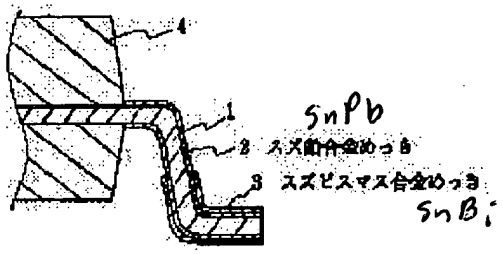
(51)Int.CI. H01L 23/50

(21)Application number : 03-161245
(22)Date of filing : 02.07.1991

(71)Applicant : NEC KYUSHU LTD
(72)Inventor : MATSUDA MOTOAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:
PURPOSE: To provide an external lead which has excellent solderability when it is soldered to the printed board of a multi-pin semiconductor device and is suitable for lowtemperature soldering at 200°C or below.
CONSTITUTION: The external lead 1 of a semiconductor device has tin-lead alloy solder 2 on the base and tin-bismuth alloy solder 3 is applied on the solder 2. The area is not the whole area of the external lead 1 but a part which is narrower than the base solder.



LEGAL STATUS

[Date of request for examination]	31.05.1995
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2637863
[Date of registration]	25.04.1997
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

* NOTICES *

CLAIMS

[Claim(s)]
[Claim 1] The semiconductor device characterized by having performed any of tinning and the tin lead-alloy plating, or one plating to the substratum of an external lead, and performing any of the alloy platings containing the alloy plating and tin which contain the tin and the bismuth of a domain narrower than a substratum plating domain on it, and an indium, or one alloy plating.

[Translation done.]

* NOTICES *

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] this invention relates to the semiconductor device which had a good soldering property especially about a semiconductor device.
[0002]
[Description of the Prior Art] As the conventional semiconductor device is shown in drawing 5 , in order for the external lead 1 to consist of an iron nickel alloy or a copper alloy and to raise the corrosion resistance of the base material, usually tin lead-alloy plating 2 was performed to the front face in order to raise soldering nature.
[0003] By setting proportion of tin and lead to about 7 to 3, the melting point gets down to about 200 degrees C, and this tin lead-alloy plating 2 is dissolved with the soldering paste painted by the pad section of a printed circuit board at the time of the solder package to a printed circuit board, and has achieved the role of a lead junction.
[0004]
[Problem(s) to be Solved by the Invention] However, if the temperature at the time of a substrate package did not secure 220 degrees C or more in the case of the semiconductor device with this conventional external lead configuration, good soldering nature is not obtained but had the trouble where a semiconductor device degraded a reliability quality with the elevated temperature.
[0005] Moreover, when the pitch of an external lead becomes fine by the increase in the number of terminals, the trouble on the quality that between leads connects too hastily has also increased with the solder fused at the time of a soldering package.
[0006] A good solder wettability is seen by low-temperature soldering package, and the purpose of this invention is with the fused solder to offer the semiconductor device which a lead does not short-circuit.
[0007]
[Means for Solving the Problem] The semiconductor device of this invention is characterized by having performed any of tinning and the tin lead-alloy plating, or one plating to the substratum of an external lead, and performing any of the alloy platings containing the alloy plating and tin which contain the tin and the bismuth of a domain narrower than a substratum plating domain on it, and an indium, or one alloy plating.
[0008]
[Example] Next, the example of this invention is explained with reference to a drawing.
[0009] Drawing 1 is a cross section of the 1st example of this invention, and drawing 2 is a partial expanded sectional view of an external lead of drawing 1 .
[0010] As the 1st example is shown in the drawing 1 and the drawing 2 , the semiconductor chip 5 is closed by the closure section 4, and the external lead 1 is drawing it from the side face of the closure section. Tin lead-alloy plating 2 is performed to the whole region, and, as for the external lead 1, tin bismuth-alloy plating 3 is performed on it. It is the characteristic feature that this plating domain is the partial plating limited only to the fraction which solder **** produces when the solder package of the tin bismuth-alloy plating 3 is actually carried out by the point of the external lead 1 at a printed circuit board.
[0011] Drawing 3 is a partial expanded sectional view of an external lead of the 2nd example of this invention.
[0012] The domain to which the 2nd example performs tin bismuth-alloy plating 3 as shown in drawing 3 is still narrow, and is limited only to the part where the printed circuit board pad section touches the external lead 1.
[0013] It is desirable to cover the 1st example and the 2nd example from the field of corrosion resistance of an external lead to the closure section 4 neighborhood which is not used for a solder package, although the domain of substratum plating does not need to cover the external lead 1 whole region.
[0014]
[Effect of the Invention] Since this invention has performed the alloy plating which contains tin and a bismuth in an external lead, or the alloy plating containing tin and an indium as explained above, it is enabled to lower to nearly 160-170 degrees C, therefore the alloy-plating melting point presents a good solder wettability at the time of a low-temperature solder package. And in this invention, by limiting the domain of the alloy plating to dissolve small, there are also few amounts of the plating to solve, and in case a lead of a ** pitch is joined, it has the effect that the shunt between terminals seldom happens.
[0015] Drawing 4 is a partial expanded sectional view of a joint after joining the example of this invention by solder to a printed circuit board.

[0016] As shown in drawing 4 , after the external lead 1, substratum plating of the tin lead-alloy plating 2 is performed, and when joined by solder at low temperature, this is not dissolved but remains on the external lead 1 with the first stage. After the soldering paste applied on the pad 7 on a printed circuit board 6, and the external lead 1 of a semiconductor device, the tin bismuth-alloy plating performed partially carries out melting of the solder 8, and it serves as a new alloy and carries out solid solvation. The corrosion resistance of the external lead 1 is not dropped on this example, but the effect of moreover obtaining good soldering nature at low temperature is acquired by it.

[Translation done.]

* NOTICES *

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the cross section of the 1st example of this invention.
[Drawing 2] It is the partial expanded sectional view of an external lead of drawing 1.
[Drawing 3] It is the partial expanded sectional view of an external lead of the 2nd example of this invention.
[Drawing 4] It is a partial expanded sectional view for a joint after joining the example of this invention by solder to a printed circuit board.
[Drawing 5] It is the partial expanded sectional view of an example of an external lead of the conventional semiconductor device.
[Description of Notations]
1 External Lead
2 Tin Lead-Alloy Plating
3 Tin Bismuth-Alloy Plating
4 Closure Section
5 Semiconductor Chip
6 Printed Circuit Board
7 Pad
8 Solder

[Translation done.]

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05013638
(43)Date of publication of application: 22.01.1993

(51)Int.Cl. H01L 23/50

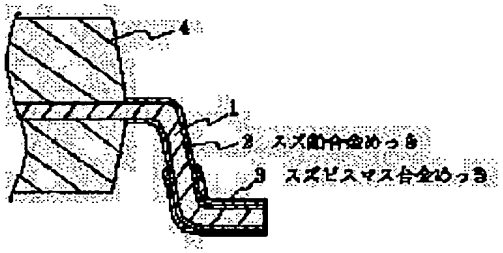
(21)Application number: 03161245
(22)Date of filing: 02.07.1991

(71)Applicant: NEC KYUSHU LTD
(72)Inventor: MATSUDA MOTOAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide an external lead which has excellent solderability when it is soldered to the printed board of a multi-pin semiconductor device and is suitable for lowtemperature soldering at 200° C or below.
CONSTITUTION: The external lead 1 of a semiconductor device has tin-lead alloy solder 2 on the base and tin-bismuth alloy solder 3 is applied on the solder 2. The area is not the whole area of the external lead 1 but a part which is narrower than the base solder.



LEGAL STATUS

[Date of request for examination]	31.05.1995
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2637863
[Date of registration]	25.04.1997
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平5－13638

(43)公開日　平成５年(1993)１月22日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０１Ｌ　23/50		Ｄ　9272－4Ｍ		

審査請求　未請求　請求項の数１(全　３　頁)

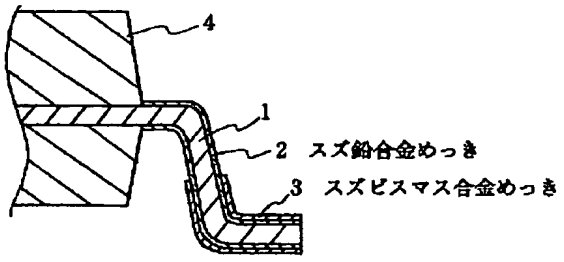
(21)出願番号　特願平3－161245

(22)出願日　平成３年(1991)７月２日

(71)出願人　000164450
九州日本電気株式会社
熊本県熊本市八幡町100番地
(72)発明者　松田　元秋
熊本県熊本市八幡町100番地九州日本電気株式会社内
(74)代理人　弁理士　内原　晋

(54)【発明の名称】　半導体装置

(57)【要約】
【目的】多ピンの半導体装置のプリント基板への半田実装時に良好な半田付性をもった外部リードを提供する。しかも、２００℃以下の低温半田付実装に適する。
【構成】半導体装置の外部リード１の構成は、下地にスズ鉛合金めっき２を施し、その上にスズビスマス合金めっき３を施してあり、かつ、そのエリアは外部リード１の全域ではなく下地めっきよりも狭い一部分である。



1

【特許請求の範囲】
【請求項１】　外部リードの下地にスズめっきとスズ鉛合金めっきとのうちのいずれか一方のめっきを施し、その上に下地めっき範囲よりも狭い範囲のスズとビスマスを含有する合金めっきとスズとインジウムを含有する合金めっきとのうちのいずれか一方の合金めっきを施したことを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は半導体装置に関し、特に良好な半田付特性をもった半導体装置に関する。
【０００２】
【従来の技術】従来の半導体装置は、図５に示すように、外部リード１は鉄ニッケル合金もしくは銅合金からなっており、その母材の耐腐食性を高めるためと、半田付性を向上させる目的でスズ鉛合金めっき２が表面に施されているのが通常であった。
【０００３】このスズ鉛合金めっき２は、スズと鉛の比率を約７対３にすることにより、その融点が２００℃程度迄下り、プリント基板への半田実装時にプリント基板のパッド部に塗装された半田ペーストと共に融解しリード接合の役を果している。
【０００４】
【発明が解決しようとする課題】しかし、この従来の外部リード構成を持った半導体装置の場合は、基板実装時の温度は２２０℃以上を確保しなければ良好な半田付性は得られず、半導体装置がその高温により信頼性品質を劣化させるという問題点があった。
【０００５】また、端子数増加により外部リードのピッチが細かくなった時は、半田付実装時に溶融した半田により、リード間が短絡するという品質上の問題点も増加してきている。
【０００６】本発明の目的は、低温半田付実装で良好な半田濡れ性が見られ、かつ、溶融した半田により、リードが短絡することのない半導体装置を提供することにある。
【０００７】
【課題を解決するための手段】本発明の半導体装置は、外部リードの下地にスズめっきとスズ鉛合金めっきとのうちのいずれか一方のめっきを施し、その上に下地めっき範囲よりも狭い範囲のスズとビスマスを含有する合金めっきとスズとインジウムを含有する合金めっきとのうちのいずれか一方の合金めっきを施したことを特徴とする。
【０００８】
【実施例】次に、本発明の実施例について図面を参照して説明する。
【０００９】図１は本発明の第１の実施例の断面図、図２は図１の外部リードの部分拡大断面図である。
【００１０】第１の実施例は、図１及び図２に示すように、半導体チップ５は封止部４により封止されており、外部リード１が封止部の側面から導出している。外部リード１は、全域にスズ鉛合金めっき２が施されており、その上にスズビスマス合金めっき３が施されている。このめっき範囲は、スズビスマス合金めっき３が外部リード１の先端部で実際にプリント基板に半田実装される時に半田濡れが生じる部分のみに限定された部分めっきであるのが特徴である。

2

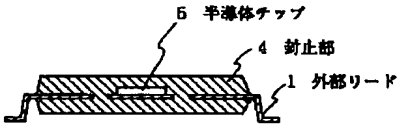
【００１１】図３は本発明の第２の実施例の外部リードの部分拡大断面図である。
【００１２】第２の実施例は、図３に示すように、スズビスマス合金めっき３を施す範囲はさらに狭く、外部リード１とプリント基板パッド部が接する個所にのみに限定されている。
【００１３】第１の実施例，第２の実施例ともに、下地めっきの範囲は外部リード１全域をカバーしている必要はないが、外部リードの耐食性の面から、半田実装に用いない封止部４近辺までカバーしていることが望ましい。
【００１４】
【発明の効果】以上説明したように本発明は、外部リードにスズとビスマスを含有する合金めっき、もしくはスズとインジウムを含有する合金めっきを施しているために、その合金めっき融点は１６０～１７０℃近辺迄下げることが可能になっており、従って低温半田実装時に良好な半田濡れ性を呈する。しかも本発明では、その融解する合金めっきの範囲を小さく限定することにより、解けるめっきの量も少なく、狭ピッチのリードを接合する際も端子間短絡が起りにくいという効果を有している。
【００１５】図４はプリント基板に本発明の実施例を半田接合した後の接合部の部分拡大断面図である。
【００１６】図４に示すように、外部リード１の上にはスズ鉛合金めっき２の下地めっきが施されており、これは低温で半田接合された場合には、融解せず初期のまま外部リード１上に残っている。半田８はプリント基板６の上のパッド７の上に塗布されていた半田ペーストと、半導体装置の外部リード１の上に部分的に施されていたスズビスマス合金めっきが溶融して新たな合金となって固容したものである。本実施例では、外部リード１の耐腐食性を落さず、しかも低温で良好な半田付性を得るという効果が得られている。
【図面の簡単な説明】
【図１】本発明の第１の実施例の断面図である。
【図２】図１の外部リードの部分拡大断面図である。
【図３】本発明の第２の実施例の外部リードの部分拡大断面図である。
【図４】プリント基板に本発明の実施例を半田接合した後の接合部分の部分拡大断面図である。
【図５】従来の半導体装置の外部リードの一例の部分拡大断面図である。

3　　4

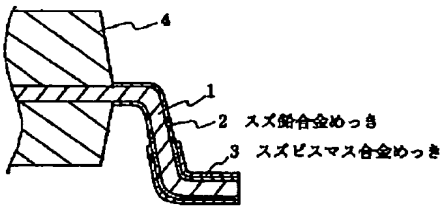
【符号の説明】

1　外部リード
2　スズ鉛合金めっき
3　スズビスマス合金めっき
4　封止部
＊5　半導体チップ
6　プリント基板
7　パッド
8　半田
＊

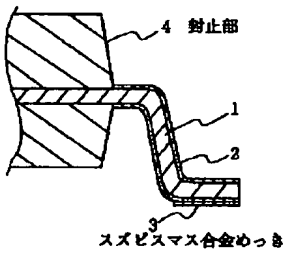
【図１】



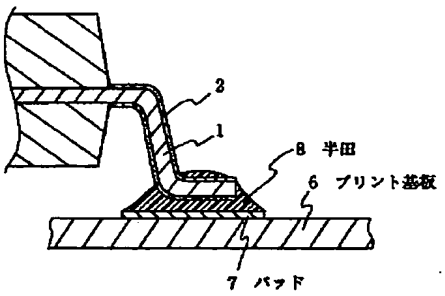
【図２】



【図３】



【図４】



【図５】